

First Named Inventor	Giovanni Naso	<b><u>COMMUNICATION RE: FILING OF PRIORITY DOCUMENT UNDER 35 USC 119</u></b>
Serial No.	10/698,752	
Filing Date	October 31, 2003	
Group Art Unit	Unknown	
Examiner Name	Unknown	
Confirmation No.	Unknown	
Attorney Docket No.	400.199US01	
Title: DATA COMPRESSION READ MODE FOR MEMORY TESTING		


Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

In accordance with the requirements for claiming right of priority under 35 U.S.C. 119, enclosed for filing in the above-identified application is a certified copy of Applicant's priority application RM2002 A 000039 (Italy) as filed on January 30, 2003.

Please contact the undersigned attorney at (612) 312-2200 if you have any questions.

Respectfully submitted,

Date: 1/28/04

  
\_\_\_\_\_  
Andrew C. Walseth  
Reg. No. 43,234

Attorneys for Applicant  
Leffert Jay & Polglaze, P.A.  
P.O. Box 581009  
Minneapolis, MN 55458-1009  
Telephone 612-312-2200  
Facsimile 612-312-2250



*Ministero delle Attività Produttive*  
*Direzione Generale per lo Sviluppo Produttivo e la Competitività*  
*Ufficio Italiano Brevetti e Marchi*  
*Ufficio G2*



**Invenzione Industriale**

Autenticazione di copia di documenti relativi alla domanda di brevetto per:

N. ( **RM2003 A 000039**

*Si dichiara che l'unita copia è conforme ai documenti originali  
depositati con la domanda di brevetto sopraspecificata, i cui dati  
risultano dall'accluso processo verbale di deposito.*

**Con esclusione del Riassunto con disegno principale come specificato dal richiedente.**

**24 NOV. 2003**

Roma, li .....

IL DIRIGENTE  
*Paola Giuliano*  
**D.ssa Paola Giuliano**

## AL MINISTERO DELLE ATTIVITA' PRODUTTIVE

UFFICIO ITALIANO BREVETTI E MARCHI - ROMA

DOMANDA DI BREVETTO PER INVENZIONE INDUSTRIALE, DEPOSITO RISERVE, ANTICIPATA ACCESSIBILITA' AL PUBBLICO

MODULO A

## A. RICHIEDENTE (I)

1) Denominazione Micron Technology, Inc.  
 Residenza Boise, Idaho (Stati Uniti d'America) US codice \_\_\_\_\_  
 2) Denominazione \_\_\_\_\_  
 Residenza \_\_\_\_\_ codice \_\_\_\_\_

## B. RAPPRESENTANTE DEL RICHIEDENTE PRESSO L'U.I.B.M.

cognome e nome de Benedetti Fabrizio ed altri cod. fiscale \_\_\_\_\_  
 denominazione studio di appartenenza SOCIETA' ITALIANA BREVETTI S.p.A.  
 via Piazza di Pietra n. 39 città ROMA cap 00186 (prov) RM

## C. DOMICILIO ELETTIVO destinatario

via \_\_\_\_\_ n. \_\_\_\_\_ città \_\_\_\_\_ cap \_\_\_\_\_ (prov) \_\_\_\_\_  
 classe proposta (sez/cl/sci) \_\_\_\_\_ gruppo/sottogruppo \_\_\_\_\_ / \_\_\_\_\_

## D. TITOLO

Sblocco di registro di protezione per chip.ANTICIPATA ACCESSIBILITA' AL PUBBLICO: SI ☐ NO ☒

SE ISTANZA: DATA \_\_\_\_ / \_\_\_\_ / \_\_\_\_

N. PROTOCOLLO

## E. INVENTORI DESIGNATI

cognome nome

cognome nome

1) NASO Giovanni 3) VALI Tommaso  
 2) PIERSIMONI Pietro 4) \_\_\_\_\_

## F. PRIORITA'

nazione o organizzazione tipo di priorità numero di domanda data di deposito allegato S/R

1) \_\_\_\_\_ / \_\_\_\_ / \_\_\_\_  
 2) \_\_\_\_\_ / \_\_\_\_ / \_\_\_\_

SCIOGLIMENTO RISERVE

Data N° Protocollo

\_\_\_\_ / \_\_\_\_ / \_\_\_\_  
 \_\_\_\_ / \_\_\_\_ / \_\_\_\_

## G. CENTRO ABILITATO DI RACCOLTA COLTURE DI MICRORGANISMI, denominazione

## H. ANNOTAZIONI SPECIALI

(Società dello Stato del Delaware)lettera d'incarico segue

## DOCUMENTAZIONE ALLEGATA

N. es.

Doc. 1) 1 PROV ☐ n. pag. 62  
 Doc. 2) 1 PROV ☐ n. tav. 05  
 Doc. 3) 0 RIS ☐  
 Doc. 4) 0 RIS ☐  
 Doc. 5) 0 RIS ☐  
 Doc. 6) 0 RIS ☐  
 Doc. 7) 0

riassunto con disegno principale, descrizione e rivendicazioni  
 (obbligatorio 1 esemplare)  
 disegno (obbligatorio se citato in descrizione, 1 esemplare)  
 lettera d'incarico  
 designazione inventore  
 documenti di priorità con traduzione in italiano  
 autorizzazione o atto di cessione  
 nominativo completo del richiedente

SCIOGLIMENTO RISERVE

Data N° Protocollo

\_\_\_\_ / \_\_\_\_ / \_\_\_\_  
 \_\_\_\_ / \_\_\_\_ / \_\_\_\_  
 \_\_\_\_ / \_\_\_\_ / \_\_\_\_  
 \_\_\_\_ / \_\_\_\_ / \_\_\_\_  
 confronta singole priorità  
 \_\_\_\_ / \_\_\_\_ / \_\_\_\_

8) attestati di versamento, totale Euro quattrocentosettantadue/56

obbligatorio

COMPILATO IL 30 / 01 / 2003

FIRMA DEL (I) RICHIEDENTE (I)

Gilberto Tonon(Iscri. Albo n. 83 BM)CONTINUA (S/NO) NODEL PRESENTE ATTO SI RICHIEDE COPIA AUTENTICA (S/NO) SI

CAMERA DI COMMERCIO INDUSTRIA ARTIGIANATO E AGRICOLTURA DI

RM 2003 A 000039ROMAcodice 58

VERBALE DI DEPOSITO

NUMERO DI DOMANDA

Reg. A

L'anno duemilatreil giorno trentadel mese di gennaioIl (i) richiedente (i) sopraindicato (i) ha (hanno) presentato a me sottoscritto la presente domanda, corredata di n. 00 fogli aggiuntivi per la concessione del brevetto sopraportato.

ANNOTAZIONI VARIE DELL'UFFICIALE ROGANTE

IL DEPOSITANTE



L'UFFICIALE ROGANTE

L'ufficiale Rogante  
Sig. Attest.

RM 2003 A 000039

SIB BI3343R

400.199ITO1

Descrizione dell'invenzione industriale dal titolo:  
"SBLOCCO DI REGISTRO DI PROTEZIONE PER CHIP"  
a nome di Micron Technology, Inc. (Società dello  
Stato del Delaware)  
di Boise, Idaho (Stati Uniti d'America)

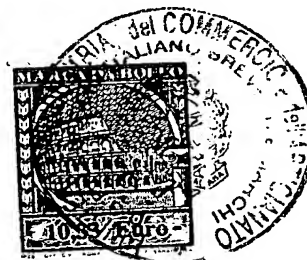
.....  
DESCRIZIONE

Campo tecnico dell'invenzione

La presente invenzione si riferisce genericamente a circuiti integrati ed in particolare la presente invenzione si riferisce a registri di protezione di dispositivi a memoria flash.

Base tecnica dell'invenzione

Dispositivi di memoria sono tipicamente forniti come zone di memoria interna nei calcolatori. Il termine memoria identifica un dispositivo di immagazzinamento di dati che si trova sotto la forma di chip di circuiti integrati. Vi sono diversi tipi di memorie impiegate nell'elettronica moderna, un tipo comune è la RAM (memoria ad accesso casuale). Una RAM tipicamente trova uso come memoria principale in un ambiente di



S.I.B.  
ROMA

calcolatore. RAM si riferisce ad una memoria di lettura e scrittura; cioè, si può sia scrivere dati entro una RAM sia leggere dati dalla RAM. Ciò è a differenza di una ROM, che permette soltanto di leggere dati. La maggior parte delle RAM è volatile, il che significa che richiede un flusso continuo di elettricità per mantenere il suo contenuto. Non appena l'alimentazione viene disinserita, qualsiasi tipo di dati che era nella RAM viene perso.

Quasi sempre i calcolatori contengono una piccola quantità di memoria a sola lettura (ROM) che contiene istruzioni per l'avviamento del calcolatore. A differenza delle RAM, le ROM non possono essere scritte. Una EEPROM (memoria a sola lettura programmabile e cancellabile elettricamente) è un tipo particolare di ROM non volatile che può essere cancellata esponendola ad una carica elettrica. Le EEPROM comprendono un grande numero di celle di memoria avente gate isolati elettricamente (floating gate). Dati vengono memorizzati nelle celle di memoria sotto forma di carica sui floating gate. Viene trasportata o rimossa carica dai floating gate mediante rispettivamente operazioni di

programmazione e cancellazione specializzate.

Ancora un altro tipo di memoria non volatile è una memoria flash. Una memoria flash è un tipo di EEPROM che può essere cancellata e riprogrammata in blocchi invece che un byte alla volta. Una tipica memoria flash comprende una schiera di memoria, che include un gran numero di celle di memoria. Ciascuna delle celle di memoria include un transistor ad effetto di campo a gate flottante in grado di trattenere una carica. I dati in una cella sono determinati dalla presenza o assenza della carica nel gate flottante. Le celle sono usualmente raggruppate in gruppi chiamati "blocchi di cancellazione". Ciascuna delle celle entro un blocco di cancellazione può essere programmata elettricamente in base casuale caricando il gate flottante. La carica può essere rimossa dal gate flottante con una operazione di cancellazione in blocco, nella quale tutte le celle di memoria a gate flottante nel blocco di cancellazione vengono cancellate in una singola operazione.

Due tipi comuni di architetture di schiera di memoria flash sono le architetture "NAND" e "NOR", così chiamate per la forma logica della configurazione base della cella di memoria nella

quale ciascuna è disposta. Nella architettura della schiera NOR, le celle di memoria a gate flottante della schiera di memoria sono disposte in una matrice. I gate di ciascuna cella di memoria a gate flottante della matrice della schiera sono accoppiate per righe a linee di selezione di parola e i loro assorbitori sono accoppiati alle linee di bit di colonna. Si accede alla schiera di memoria a gate flottante ad architettura NOR mediante un decodificatore di riga che attiva una riga di celle di memoria a gate flottante selezionando la linea di selezione di parola accoppiata ai loro gate. La fila di celle di memoria selezionate pongono quindi i loro valori di dati sulle linee di bit di colonna facendo passare una corrente diversa se si trovano in uno stato programmato o non programmato da una linea di sorgente accoppiata alle linee di bit di colonna accoppiate.

Una architettura a schiera NAND inoltre dispone la sua schiera di celle di memoria a gate flottante in una matrice in modo che i gate di ciascuna cella di memoria a gate flottante della schiera sono accoppiati per righe a linee di selezione di parola. Tuttavia, ciascuna cella di memoria non è direttamente accoppiata ad una linea

di bit di colonna mediante il suo assorbitore. Invece, le celle di memoria della schiera sono disposte assieme a gruppi, tipicamente di 16 ciascuna, in cui le celle di memoria accoppiate assieme in serie, sorgente verso assorbitore, tra una linea di sorgente e una linea di bit di colonna. La schiera di memoria a gate flottante ad architettura NAND è quindi sottoposta ad accesso da un decodificatore di riga che attiva una riga di celle di memoria a gate flottante selezionando la linea di selezione di parola accoppiata ai loro gate. In aggiunta, le linee di parola accoppiate ai gate delle celle di memoria non selezionate di ciascun gruppo sono pilotate per far funzionare le celle di memoria non selezionate di ciascun gruppo come transistori passanti, in modo che questi facciano passare corrente in un modo che non è limitato dai loro valori di dati memorizzati. Passa quindi corrente dalla linea di sorgente alla linea di bit di colonna attraverso ciascun gruppo accoppiato in serie, limitato soltanto dalle celle di memoria selezionate di ciascun gruppo. Conseguentemente ponendo i valori di dati codificati correnti delle righe di celle di memoria selezionate sulle linee di bit di colonna.





Dato che tutte le celle in un blocco di cancellazione di un dispositivo di memoria flash debbono essere cancellate tutte assieme, non si può riscrivere direttamente una cella di memoria flash senza prima impegnarsi in una operazione di cancellazione a blocco. La gestione di blocco di cancellazione (EBM) fornisce uno strato di astrazione per ciò all'ospite, consentendo che il dispositivo flash appaia come un dispositivo liberamente riscrivibile, includente, ma non limitatamente, la gestione dell'indirizzo logico in modo da cancellare fisicamente la mappatura di traslazione di blocco per letture e scritture, la assegnazione dei blocchi disponibili di cancellazione e cancellati, e la programmazione dei blocchi di cancellazione che sono stati usati ed esclusi dalla cancellazione a blocco. La gestione di blocco di cancellazione consente anche il livellamento di carico delle celle di memoria a gate flottante interne per aiutare ad impedire una avaria per fatica di scrittura. La fatica di scrittura avviene quando la cella di memoria a gate flottante, dopo scritture e cancellazioni ripetitive, non si cancella più appropriatamente e non rimuove carica dal gate flottante.

Molte memorie flash moderne includono registri di "protezione" per scopi speciali. I registri di protezione sono zone di memoria non volatile di grandezza limitata (tipicamente 128 bit) che sono separate dai blocchi di cancellazione della memoria flash. I registri di protezione sono tipicamente utilizzati per memorizzare identificatori di dispositivo per scopi speciali e/o codici di sicurezza che sono associati con il dispositivo di memoria flash e/o il contenuto di dati dei suoi blocchi di cancellazione. Una volta programmati, i registri di protezione possono essere bloccati dalla programmazione di "Lock bit" che sono associati con ciascun singolo registro di protezione e/o segmento di registro di protezione. Con i bit di bloccaggio posizionati, il registro di protezione associato o i segmenti di registro di protezione associato sono resi non modificabili dall'utilizzatore finale del dispositivo o sistema che incorpora la memoria flash. I bit di bloccaggio sono generalmente celle di memoria a gate flottante che non hanno meccanismo di cancellazione e quindi non possono essere cancellate una volta che sono state programmate. I bit di bloccaggio possono essere incorporati nel registro stesso di

protezione o possono essere celle di memoria indipendenti. Se il dispositivo di memoria flash nota che un bit di bloccaggio che protegge un registro di protezione o una parte di registro di protezione è posizionato, questo disabilita qualsiasi tentativo di manipolare o programmare il registro di protezione o parte del registro di protezione che è protetto dal bit di bloccaggio.

La figura 1 mostra uno schema semplificato di un sistema che incorpora una memoria 100 flash della tecnica precedente accoppiata ad un dispositivo di elaborazione o unità di controllo 102. Nel sistema 128, la memoria 100 flash possiede una interfaccia 104 di indirizzo, una interfaccia di controllo 106, ed una interfaccia dati 108 che sono ciascuno accoppiato al dispositivo di 102 di elaborazione per consentire gli accessi di lettura e scrittura in memoria. All'interno del dispositivo di memoria flash una macchina 110 a stati di controllo dirige il funzionamento interno; gestendo la schiera 112 di memoria flash e aggiornando registri di controllo RAM e registri 114 di gestione di blocco di cancellazione non volatile. I registri e le tabelle 114 di controllo della RAM sono utilizzati dalla macchina 110 a stati di

controllo durante il funzionamento della memoria flash 100. La schiera 112 di memoria flash contiene una sequenza di banchi di memoria o segmenti 116 ed uno o più registri di protezione 128 e i loro bit di bloccaggio associati (non mostrati). Ciascun banco 116 è organizzato logicamente in una serie di blocchi di cancellazione (non mostrati). Gli indirizzi di accesso in memoria sono ricevuti sulla interfaccia 104 di indirizzo della memoria 100 flash e suddivisi in parti di indirizzo di riga e colonna. Con un accesso di lettura l'indirizzo di riga viene agganciato e decodificato dal circuito 120 di decodifica di riga, che seleziona e attiva una pagina di riga (non mostrata) di celle di memoria attraverso un banco di memoria selezionato. I valori di bit codificati nella uscita della riga selezionata di celle di memoria sono accoppiati dalla linea di bit locale (non mostrata) ad una linea di bit globale (non mostrata) e rilevata dagli amplificatori 122 di lettura associati con il banco di memoria. L'indirizzo di colonna dell'accesso viene agganciato e decodificato dal circuito 124 di decodifica di colonna. L'uscita del circuito di decodifica di colonna seleziona i dati di colonna desiderati dalle uscite



**S.I.B.  
ROMA**

dell'amplificatore di lettura ed accoppiati al buffer 126 di dati per il trasferimento dal dispositivo di memoria attraverso la interfaccia dati 108. A seguito di un accesso di scrittura, il circuito 120 di decodifica di riga seleziona la pagina di riga ed il circuito di decodifica di colonna seleziona la circuiteria 122 di scrittura. Valori di dati che devono essere scritti sono accoppiati dal buffer 126 di dati nel circuito 122 di scrittura selezionato dal circuito 124 di decodifica di colonna e scritti nelle celle di memoria a gate flottante selezionate (non mostrate) della schiera di memoria 112. Le celle scritte sono quindi selezionate di nuovo dai circuiti 120, 124 di decodifica di riga e colonna ed amplificatori 122 di lettura in modo che questi possano essere letti per verificare che sono stati programmati valori corretti nelle celle di memoria selezionate.

Nella memoria flash 100 di figura 1, i registri 128 di protezione e i bit di blocco associati sono inclusi come parte della mappa di indirizzo della schiera 112 di memoria flash (il suo intervallo di celle di memoria indirizzabili), consentendo che si possa avere accesso ai bit di bloccaggio e ai registri 128 di protezione per

operazioni di lettura e scrittura impiegando indirizzi di colonna e di riga come sarebbe il caso dei blocchi di cancellazione della schiera 112 di memoria flash. Ciascun registro 128 di protezione è mantenuto come una area di memoria scrivibile/cancellabile della schiera 112 di memoria flash fin quando viene scritto il bit di bloccaggio associato con il singolo registro di protezione o sezione del registro di protezione, il registro 128 di protezione di bloccaggio ed il suo corrente contenuto di dati.

Come esposto precedentemente, vengono utilizzati registri di protezione nei dispositivi di memoria flash per immagazzinare codici di sicurezza e/o identificatori di dispositivo. Sono presenti normalmente 128 bit di memorizzazione di registro di protezione in un tipico dispositivo di memoria flash. Tipicamente, una metà del registro di protezione di memoria flash, un segmento da 64 bit di "fabbrica", è programmato e bloccato dal fabbricante di chip di memoria con un ID di dispositivo che identifica la memoria flash. La rimanente metà, il segmento di fabbricante di apparecchiature originali "OEM", può essere programmato e bloccato dall'utilizzatore finale o

dal fabbricante di un dispositivo o sistema che include il dispositivo di memoria flash. Questa parte programmabile dall'utilizzatore della memoria flash è tipicamente utilizzato per realizzare schemi di sicurezza, semplificare la fabbricazione, e/o ridurre la manutenzione del sistema.

Esempi dell'impiego di un registro di protezione di memoria flash includono, ma non sono limitati, alla utilizzazione del registro di protezione per memorizzare un numero unico utilizzato per assicurare che la applicazione che tenta di accedere ad una rete non è "estranea". La utilizzazione del registro di protezione in dispositivi senza fili o collegati in rete per programmare un identificatore unico entro ciascuna unità per identificare il dispositivo verso la rete di cui sono parte. La configurazione della costruzione di un singolo dispositivo in modo che si abbiano differenti prodotti finali mediante a abilitazione o disabilitazione di caratteristiche del dispositivo attraverso la configurazione che è immagazzinata nel registro di protezione. L'impiego di registri di protezione per memorizzare checksum per rivelare se un altro identificatore, password, chiave, o parte di codice nel dispositivo è stata

modificata, consente al dispositivo di autodisabilitarsi quando questo riconosce che è stato manomesso. Il registro di protezione può essere anche utilizzato come verifica per impedire variazioni fisiche ai componenti del sistema contenendo codici che collegano specifici componenti fisici o versioni dei componenti verso un sistema. Registri di protezione possono anche essere utilizzati per immagazzinare informazione di fabbricazione o di configurazione di un dispositivo in uno spazio di memoria non volatile e non modificabile, per cui, per tutto il tempo di vita di un dispositivo, quando il contenuto della memoria flash viene migliorato o riprogrammato il modello del dispositivo e/o la configurazione complessiva del dispositivo non è persa oppure il dispositivo viene migliorato in modo inappropriato.

Un problema con registri di protezione e i loro bit o più bit di bloccaggio associati nelle memorie flash consiste nel fatto che questi non sono riprogrammabili. Ciò può causare i problemi durante la fabbricazione della memoria flash stessa in quanto il registro di protezione e il bit o i bit di bloccaggio possono essere programmati inavvertitamente con un ID di dispositivo o codice





erronei per effetto di un errore o di una variazione di organizzazione o di marketing. I dispositivi di memoria flash risultati da tale programmazione inavvertita del disco di protezione dovrebbero essere quindi o rimaneggiati o anche eventualmente scartati come inadatti. In aggiunta, poiché i registri di protezione e i loro bit associati di bloccaggio non sono generalmente programmati questi non possono essere collaudati in modo accurato e verificati durante la fabbricazione del dispositivo di memoria flash. Ciò può aumentare la possibilità di avaria di dispositivo o successiva incompatibilità per un utilizzatore finale che cerca di programmare il registro di protezione e il bit o i bit di bloccaggio per effetto di un errore o di una alterazione in uno o più bit del registro di protezione o del bit o dei bit di bloccaggio. Questo tipo di errore può essere dovuto a danneggiamento fisico, migrazione di impurità, fatica di scrittura, transitori elettrici, o altre ragioni che influenzano l'informazione immagazzinata nelle celle di memoria a gate flottante del registro di protezione e dei bit di bloccaggio.

Per le ragioni sopra elencate, e per altre

ragioni che verranno esposte oltre che diverranno chiare a coloro che sono esperti nel ramo dalla lettura e comprensione della presente descrizione, vi è una necessità nella tecnica di un dispositivo di memoria flash che abbia un registro di protezione ed uno o più bit di bloccaggio associati che possono essere riprogrammati una volta bloccati, e tuttavia non modificabili da un possibile utilizzatore finale.

#### SOMMARIO DELL'INVENZIONE

La presente invenzione si rivolge ai problemi sopra menzionati con registri di protezione di dispositivo a memoria flash, bit di blocco, ed altri problemi e verrà compresa dalla lettura e studio della seguente descrizione.

Le varie forme di realizzazioni si riferiscono a dispositivi di memoria flash contenenti registri di protezione, in cui i bit di blocco dei registri di protezione sono cancellabili mentre si trovano sotto forma di piastrina grezza e non sono cancellabili dopo che il dispositivo di memoria flash è stato confezionato. Ciò è ottenuto nelle forme di realizzazione della presente invenzione mediante un circuito di cancellazione a gate flottante che è accoppiato ai bit di blocco per

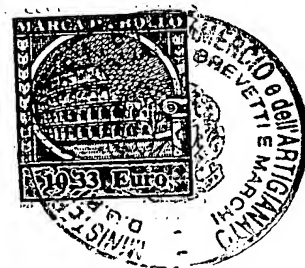
consentire la loro cancellazione, in cui un contatto elettrico, quale una piazzola per sonda, una piazzola per collegamento, o altro, non è accoppiato ad un collegamento elettrico esterno nella confezione del dispositivo di memoria flash finale. Ciò consente che i bit di blocco vengano cancellati mentre il dispositivo a memoria flash è sotto forma di una piastrina grezza ponendo in contatto la memoria flash con una sonda di collaudo ed utilizzando il circuito di cancellazione a gate flottante di bit di blocco, impedendo nel contempo la attivazione del circuito di cancellazione e la cancellazione dei bit di blocco dopo che il dispositivo a memoria flash è stato confezionato e programmato.

In una forma di realizzazione, un dispositivo a memoria flash possiede una schiera di memoria con una molteplicità di celle di memoria gate flottante disposte in una molteplicità di blocchi di cancellazione, un registro di protezione e, uno o più bit di blocco, ed un circuito di cancellazione di bit di blocco. Nel dispositivo di memoria flash, il contenuto di dati del registro di protezione viene reso non scrivibile con la programmazione dell'uno o più bit di blocco. Il circuito di

cancellazione di bit di blocco della memoria flash è accoppiato ad uno o più bit di blocco ed il circuito di cancellazione di bit di blocco è operativo soltanto quando il dispositivo di memoria flash è sotto forma di wafer.

In un'altra forma di realizzazione, il circuito di cancellazione di bit di blocco ha una piazzola di collegamento, un buffer di ingresso, un primo transistor di pull down, un invertitore, ed un circuito di cancellazione a gate flottante. L'invertitore è accoppiato alla uscita del buffer di ingresso e al gate del primo transistor di pull down e l'ingresso del buffer di ingresso è accoppiato alla piazzola di collegamento. Il primo transistor di pull down è un transistor debole di pull down ed è accoppiato all'ingresso del buffer di ingresso e massa. Il circuito di cancellazione al gate flottante è accoppiato alla uscita del buffer di ingresso e ad uno o più bit di blocco e la piazzola di collegamento non corrisponde ad un I/O (ingresso/uscita) esterno standard di un chip a circuito integrato che include il circuito di cancellazione di bit di blocco.

In ancora un'altra forma di realizzazione, un circuito di abilitazione di cancellazione di bit di



blocco ha una piazzola di collegamento, un buffer di ingresso, dove un ingresso del buffer di ingresso è accoppiato alla piazzola di collegamento e una uscita del buffer di ingresso è accoppiata al circuito di cancellazione a gate flottante. La piazzola di collegamento non corrisponde ad un I/O (ingresso/uscita) di chip esterno standard di un chip a circuito integrato di memoria flash confezionata che incorpora il circuito di abilitazione di cancellazione di bit di blocco.

In una ulteriore forma di realizzazione, un metodo per far funzionare un dispositivo di memoria flash abilita la cancellazione di uno o più bit di blocco associati con un registro di protezione quando il dispositivo di memoria flash è sotto forma di wafer. Il dispositivo di memoria flash in aggiunta disabilita la cancellazione di uno o più bit di blocco quando il dispositivo di memoria flash è nella forma confezionata.

Sono anche descritte e rivendicate altre forme di realizzazione.

#### BREVE DESCRIZIONE DEI DISEGNI

La figura 1 mostra in dettaglio un sistema con una memoria flash della tecnica anteriore.

La figura 2A mostra in dettaglio un registro

di protezione e bit di blocco associati di una memoria flash secondo una forma di realizzazione della presente invenzione.

La figura 2B mostra in dettaglio una piazzola di collegamento, buffer di ingresso, e circuito di cancellazione di bit di blocco di una memoria flash secondo una forma di realizzazione della presente invenzione.

La figura 3 mostra in dettaglio un altro buffer di ingresso di una memoria flash secondo una forma di realizzazione della presente invenzione.

La figura 4 mostra in dettaglio un sistema con una memoria flash secondo una forma di realizzazione della presente invenzione.

La figura 5 mostra in dettaglio una memoria flash ed una confezione di chip secondo una forma di realizzazione della presente invenzione.

#### DESCRIZIONE PARTICOLAREGGIATA DELL'INVENZIONE

Nella seguente descrizione particolareggiata delle forme di realizzazione preferita, viene fatto riferimento ai disegni allegati che ne formano parte, ed in cui viene vengono mostrate a titolo di illustrazione forme di realizzazione specifiche secondo le quali può essere realizzata in pratica l'invenzione. Queste forme di realizzazione sono

descritte con sufficienti dettagli in modo da consentire a coloro che sono esperti nel ramo di realizzare in pratica l'invenzione, e si deve comprendere che si possono utilizzare altre forme di realizzazione e che si possono apportare variazioni logiche, meccaniche ed elettriche senza allontanarsi dallo spirito e dall'ambito della presente invenzione.

La seguente descrizione particolareggiata, conseguentemente, non è da considerare in senso limitativo, e l'ambito della presente invenzione è definito soltanto dalle rivendicazioni.

Per migliorare la flessibilità di fabbricazione e per consentire la riprogrammazione di un ID di dispositivo erraneo o un codice erraneo per effetto di un errore, di una variazione di organizzazione, o di tipo commerciale, una memoria flash della presente invenzione possiede un registro di protezione e un bit o più bit di blocco associati che possono essere riprogrammati dal fabbricante del chip di memoria una volta bloccati. Ciò evita di far uscire dispositivi di memoria flash che debbono essere riaggiornati o anche gettati via per effetto di tale programmazione inavvertita del registro di protezione. I bit di

blocco riprogrammabili di memoria flash della presente invenzione consentono anche una accurata verifica e collaudo dei registri di protezione e dei bit di blocco delle memorie durante la fabbricazione. Questa diminuzione della possibilità di problemi o di avarie di dispositivo per effetto di un errore o di una alterazione in uno o più bit dei registri di protezione o del bit o dei bit di blocco per effetto di danneggiamento fisico, migrazione di impurità, fatica di scrittura, transistori elettrici, o altre ragioni di tale genere. In una forma di realizzazione della presente invenzione una memoria flash a uno o più piazzole di collegamento per un segnale di cancellazione, un buffer di ingresso ed un circuito di cancellazione per cancellare uno o più bit di blocco del registro di protezione. In un'altra forma di realizzazione della presente invenzione una memoria flash ha una piazzola di collegamento per un segnale di cancellazione, un buffer di ingresso, ed un circuito di cancellazione per cancellare i bit di blocco del registro di protezione, in cui la piazzola di collegamento non è accoppiata ad un piedino esterno quando il wafer del chip di memoria flash viene confezionato,





consentendo che i bit di blocco vengano cancellati dal fabbricate di memorie con l'impiego di una scheda sonda quando la memoria flash è nella forma di wafer prima che la memoria sia confezionata alla fine per l'impiego.

La presente invenzione è applicabile a numerosi diversi circuiti integrati inclusi dispositivi di memoria. Un tipo di dispositivi di memoria sono memorie sincrone. Le SDRAM sono note nella tecnica. Similmente, sono note le memorie flash non volatili di tipo sincrono, si veda "Protection after brown out in a synchronous memory" brevetto degli Stati Uniti n° 6.246.626 a nome Roohparvar, concesso il 12 giugno 2001, e "Protection after brown out in a synchronous memory" brevetto degli Stati Uniti n° 6.366.251 a nome Roohparvar, rilasciato il 2 aprile 2002, per la descrizione di una memoria flash sincrona. Questi brevetti degli Stati Uniti 6.246.626 e 6.366.521 sono ceduti in comune e qui incorporati a titolo di riferimento.

La presente invenzione è anche applicabile a numerose altre forme di celle di memoria proteggibili/a una scrittura e non volatili, registri, e/o zone di memoria che sono incorporate

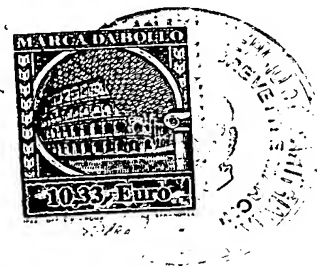
in vari circuiti integrati. Uno di questi tipi è un registro di protezione a blocco di cancellazione impiegato in vari dispositivi di memoria flash per proteggere i blocchi di cancellazione del dispositivo a memoria flash dall'essere sovrascritto inavvertitamente. Esempi di questi registri di protezione a blocco di cancellazione sono descritti nella domanda di brevetto statunitense n° di serie 09/608.256 intitolata "Top/bottom Summetrical Protection Scheme for Flash" a nome Roohparvar e Widmer, depositata il 30 Giugno 2000, domanda di brevetto statunitense serie n° 09/648.508, intitolato "Write and Erase Protection in a Synchronous Flash Memory" a nome Roohparvar, depositata il 25 agosto 2000, e la domanda di brevetto degli Stati Uniti serie n° 10/279.470, intitolata "Command for Permanent Block Protection in a Flash Memory" a nome di Schevallier e Leong, depositata il 24 ottobre 2002, tutte le quali sono cedute in comune e incorporate in questa sede a titolo di riferimento.

La figura 2A mostra uno schema semplificato di un registro di protezione 200 di una memoria flash in una forma di realizzazione della presente invenzione. Nella figura 2A, il

registro 200 di protezione ha una sequenza di celle di memoria a gate flottante disposte in due segmenti, un segmento di registro di protezione di "Fabbrica" (registro 1 di protezione) 202 e un registro di protezione di utilizzatore finale o segmento "OEM" (registro 2 di protezione) 204. Il registro 200 di protezione contiene anche due bit di bloccaggio, LB1 206 e LB2 208. Il bit di blocco LB2 208 è associato con e blocca il segmento 202 di registro di protezione di fabbrica quando viene programmato. Il bit di blocco LB1 206 è associato a e blocca il segmento 204 di registro di protezione OEM, quando programmato. Fin quando vengono bloccate dalla programmazione dei loro rispettivi bit di blocco 206, 208 le celle di memoria a gate flottante di ciascun segmento 202, 204 di registro di protezione può essere liberamente scritto e cancellato. Una volta che un bit di blocco 206, 208 è programmato, il segmento 202, 204 di registro di protezione associato può essere letto ma non può essere scritto dall'utilizzatore finale o dalla applicazione dell'utilizzatore finale. I bit di blocco 206, 208 sono una parte del registro di protezione 200 ed i suoi segmenti 206, 208 sono inclusi nello spazio di indirizzo del registro 200

di protezione. Si deve notare, tuttavia, che i bit di blocco 206, 208 possono essere realizzati come elementi separati dal registro 200 di protezione se desiderato. Si deve anche notare che sono possibili anche altre dimensioni e formati di registri di protezione e uno o più bit di blocco e sarà chiaro a coloro che sono esperti nel ramo con l'aiuto della presente descrizione.

La figura 2B è uno schema semplificato di un circuito 250 di cancellazione di bit di blocco di dispositivo di memoria flash di una forma di realizzazione della presente invenzione. Nella figura 2B, una piazzola di collegamento 252 è accoppiata ad un buffer 254 di ingresso che è a sua volta accoppiato al circuito 256 di cancellazione di gate flottante. Il circuito 256 di cancellazione di gate flottante, è accoppiato ai bit di blocco LB1 266 e LB2 268. Viene formato un circuito ad aggancio con il buffer 254 di ingresso con l'accoppiamento dell'uscita del buffer 254 di ingresso al gate del transistore 260 di pull down debole NMOS attraverso un invertitore 258. Il transistore 260 di pull down MMOS debole è accoppiato all'ingresso del buffer 254 di ingresso e effettua il pull down dell'ingresso. Agganciando



il buffer 354 di ingresso ad uno strato di uscita basso. Un altro transistorore 262 di pull down NMOS è anche accoppiato tra la piazzola di collegamento e massa. Il gate del transistorore 262 di pull down NMOS è accoppiato al segnale di ripristino 264.

Durante la applicazione di energia elettrica o nello stato di ripristino, il segnale 264 di ripristino viene applicato al transistorore di pull down NMOS attivandolo. Il transistorore di pull down NMOS attivo a sua volta effettua il pull down del segnale di tensione sulla piazzola di collegamento 252 e l'ingresso del buffer di ingresso 254. Ciò produce un segnale basso sulla uscita del buffer 254 di ingresso, che è a sua volta accoppiato attraverso l'invertitore 258 per portare in zona attiva il transistorore 260 di pull down NMOS debole. Il transistorore 260 di pull down NMOS debole in condizione attiva aggancia il buffer 254 di ingresso in una uscita di segnale iniziale basso. Assicurando che il circuito 256 di cancellazione sia inattivo per default.

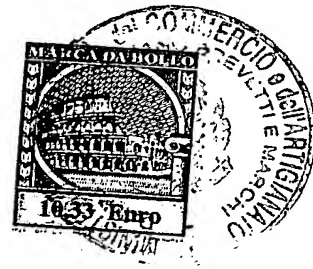
Quando il chip a circuito integrato è prodotto da un fabbricante di chip di transistori, condensatori, interconnessione ed altri elementi circuitali per un progetto specifico sono formati

su un disco di wafer di silicio. Tipicamente circuiti integrati multipli sono formati sullo stesso disco di wafer di substrato di silicio e quindi il disco di wafer di substrato di silicio viene tagliato in dadini in singoli chip o dadi di wafer di circuito integrato grezzo singolo. I chip di wafer di circuito integrato singoli sono collaudati ed infine confezionati in una parte esterna di ceramica o di plastica che contiene reofori di connessione metallici che sono collegati a zone specializzate dei singoli chip di wafer a circuito integrato chiamati "piazzole di connessione" (in questo caso definiti come un qualsiasi collegamento elettrico ad un wafer o piastrine di circuito integrato, includendo ma non limitatamente a piazzole di connessione, piazzole per sonde, od altri contatti elettrici), e consentono al circuito integrato di essere collegato ed utilizzato in un sistema o circuito più grande. Prima del confezionamento di un circuito integrato in quella che è chiamata forma a "wafer", come parte dell'intero disco di wafer di substrato di silicio o come singoli chip o piastrine di wafer di circuito integrato grezzo singolo.

Quando una forma di realizzazione di wafer di chip di memoria flash della presente invenzione che include il circuito 250 di cancellazione di bit di blocco del dispositivo di memoria flash è confezionato dal fabbricante di chip di memoria, la piazzola di collegamento 252 del circuito 250 di cancellazione del bit di blocco di dispositivo di memoria flash non è collegato ad un connettore o piedino di ingresso esterno della confezione del chip. Per effetto di ciò questo non può essere pilotato da un segnale esterno ed il circuito 250 di cancellazione di bit di blocco rimarrà inattivo per effetto del pull down agganciato del buffer 254 di ingresso da parte del transistor 260 BMOS debole avviato alla applicazione dell'energia elettrica o al ripristino da parte del transistor 262 di pull down NMOS. Un qualsiasi tentativo di "aprire" un wafer di chip integrato confezionato per aver accesso alle piazzole di collegamento generalmente dà origine alla distruzione del chip di wafer contenuto. Conseguentemente, una volta che il wafer di chip di memoria flash è confezionato, la piazzola di collegamento ed il suo circuito 250 accoppiato di cancellazione di bit di blocco sono inaccessibili e non possono essere usati

dall'utilizzatore finale del dispositivo a memoria flash per cancellare i bit di blocco del registro di protezione. Conseguentemente i bit di blocco del registro di protezione, una volta programmati dopo la confezione del chip, sono effettivamente non cancellabili e il registro di protezione associato o il segmento di registro di protezione associato verrà reso non scrivibile una volta che i bit di blocco sono programmati.

Per fare in modo che il fabbricante di chip di memoria possa cancellare i bit di blocco 266, 268, mentre il chip di memoria flash è sotto forma di wafer (prima del confezionamento) una sonda a scheda di prova (non mostrata, tali schede sono ben note nella tecnica del collaudo di wafer a semiconduttori) viene posta in contatto con il wafer del chip di memoria flash, inclusa la piazzola 252 di collegamento, ed un segnale a livello logico alto viene applicato alla piazzola 252 di collegamento attraverso la sonda a scheda. Il segnale a tensione logica alta, prende azione sul transistore 260 di pull down NMOS debole e attiva il buffer 254 di ingresso. Il buffer 254 di ingresso a sua volta, pone in uscita un segnale a tensione logica alta che viene accoppiato





attraverso l'invertitore 258 al gate del transistore 260 di pull down NMOS debole disattivandolo ed eliminando la sua azione di "pull down" sull'ingresso del buffer 254 di ingresso. Il segnale a tensione elevata logica dalla uscita del buffer 254 di ingresso abilita anche il circuito 256 di cancellazione e consente che i bit di blocco 266, 268 vengano cancellati. Questa capacità di accedere al circuito 250 di cancellazione di bit di blocco di un dispositivo di memoria flash della presente invenzione quando si trova nella sua forma di wafer consente al fabbricante di chip di cancellare i bit di blocco 266, 268 del dispositivo di memoria flash e cancellare e riprogrammare il loro registro di protezione protetto. Ciò abilita il fabbricante di chip di memoria a collaudare in modo completo i bit di blocco ed il registro di protezione del dispositivo di memoria flash, aumentando la affidabilità complessiva del dispositivo. Questo rende anche possibile al fabbricante di memoria di riprogrammare segmenti di registro di protezione programmati inavvertitamente con codici diversi, aumentando la flessibilità di fabbricazione e riducendo lo spreco di dispositivi.

La figura 3 è uno schema semplificato di un circuito 300 di abilitazione di cancellazione di bit di blocco di dispositivo di memoria flash secondo un'altra forma di realizzazione della presente invenzione. Nella figura 3, un buffer 302 di ingresso invertente riceve un segnale su una linea 304 di segnale da una piazzola di collegamento. La uscita 306 invertita del buffer 302 di ingresso invertente è accoppiato al gate di un transistor 308 di pull down e ha un ingresso della porta NOR 316. La uscita dalla porta NOR 316 è separata a buffer attraverso gli invertitori accoppiati in serie 318 e 320 per fornire un segnale 322 di abilitazione per il circuito di cancellazione di bit di blocco. Il transistor 308 di pull down è anche accoppiato a un gate di ingresso 310 del buffer 302 di ingresso e massa. In aggiunta, un ingresso di segnale di ripristino 314 è accoppiato al gate di transistor 312 di pull down e ad un ingresso della porta NOR 316. Il transistor 312 di pull down è anche accoppiato all'ingresso di gate 310 del buffer 302 di ingresso e massa.

Durante il ripristino o la applicazione di energia elettrica l'ingresso 314 di segnale di

ripristino è mantenuto a livello alto attivando il transistor 312 di pull down e disabilitando l'uscita dal circuito 300 di abilitazione di cancellazione di bit di blocco forzando l'uscita della porta NOR 316 a livello basso. Il transistor 312 di pull down attivo forza l'uscita 306 del buffer 302 di ingresso invertente a livello alto il che attiva il transistor 308 di pull down e aggancia l'uscita 306 del buffer 302 di ingresso a valore alto. Con l'uscita 306 del buffer 302 di ingresso invertente forzata a valore alto, la porta NOR 316 mantiene l'uscita bassa quando l'ingresso 314 del segnale di ripristino ritorna a valore basso. Conseguentemente, per default, il circuito 300 di abilitazione di cancellazione di bit di blocco mantiene un livello basso (inattivo) sulla uscita 322 del segnale di abilitazione e mantiene disattivato il circuito di cancellazione dei bit di blocco.

Quando viene applicato un segnale di abilitazione di cancellazione di bit di blocco attivo alto sulla linea di segnale 304 attraverso una sonda a scheda di prova e una piazzola di connessione, si prende azione sul mantenere l'ingresso di pull down da un transistor 308 di

pull down e l'uscita 306 del buffer 302 di ingresso invertente viene pilotato a livello basso. Il segnale a livello basso della uscita 306 disattiva il transistor 308 di pull down di aggancio e pone un segnale a livello basso all'ingresso della porta NOR 316. Con sia l'uscita 306 del buffer di ingresso e l'ingresso di segnale di ripristino basso, la porta 316 NOR pone in uscita un livello alto (logico uno) e abilita il circuito di cancellazione di bit di blocco collocando un segnale a livello alto sulla uscita del circuito 300 di abilitazione di cancellazione di bit di blocco attraverso gli invertitori 318 e 320 collegati insieme.

Quando una forma di realizzazione di memoria flash della presente invenzione contenente il circuito 300 di abilitazione di cancellazioni di bit di blocco sotto forma di wafer a chip viene confezionata, la piazzola di connessione che è accoppiata alla linea 304 di segnale di ingresso non è collegata ad un connettore esterno della confezione di chip. Conseguentemente il circuito 300 di abilitazione di cancellazione di bit di blocco sarà in default sul ripristino o sulla inserzione dell'alimentazione verso lo stato



disattivato ed i bit di blocco del registro di protezione saranno efficacemente non cancellabili una volta programmati.

Si deve notare che sono possibili altri circuiti di abilitazione di cancellazione di bit di blocco di registro di protezione e dovrebbe essere chiaro a coloro che sono esperti nel ramo con l'aiuto della presente descrizione.

La figura 4 mostra un diagramma semplificato di un sistema che incorpora una memoria flash 400 secondo una forma di realizzazione della presente invenzione accoppiata ad un dispositivo di elaborazione o unità di controllo 402. Nel sistema 428, la memoria flash 400 ha una interfaccia 404 di indirizzo, una interfaccia 406 di controllo, ed una interfaccia per dati 408 che sono ciascuna accoppiata al dispositivo 402 di elaborazione per consentire che accessi di lettura e scrittura in memoria. All'interno del dispositivo di memoria flash una macchina a stati 310 di controllo dirige il funzionamento interno; gestendo la schiera 412 di memoria flash e aggiornando i registri di controllo RAM e i registri 414 di gestione di blocco di cancellazione non volatili. I registri di controllo RAM e le tabelle 414 sono utilizzate

dalla macchina 410 a stati di controllo durante il funzionamento della memoria flash 400. La schiera 412 di memoria flash contiene una sequenza di banchi o segmenti di memoria 416 e uno o più registri 428 di protezione e i loro bit di blocco associati. Ciascun banco 416 è organizzato logicamente in una serie di blocchi di cancellazione. Indirizzi di accesso in memoria sono ricevuti sulla interfaccia 404 di indirizzo della memoria flash 400 e divisi in parti di indirizzi di riga e colonna. In un accesso di lettura l'indirizzo di riga è agganciato e decodificato dal circuito 420 di decodifica di riga, che seleziona e attiva una pagina di riga di celle di memoria attraverso un banco di memoria selezionato. I valori di bit codificati nell'uscita della fila selezionata di celle di memoria sono accoppiati da una linea di bit locale ad una linea di bit globale e rivelati da amplificatori di lettura 422 associati con il banco di memoria. L'indirizzo di colonna dell'accesso viene agganciato e decodificato dal circuito 424 di decodifica di colonna. L'uscita del circuito di decodifica di colonna seleziona i dati di colonna desiderati dalle uscite dell'amplificatore di lettura e

accoppiati al buffer di dati 426 per il trasferimento dal dispositivo di memoria attraverso la interfaccia 408 dei dati. Su un accesso di scrittura il circuito 420 di decodifica di riga seleziona la pagina di riga ed il circuito di decodifica di colonna seleziona la circuiteria 422 di scrittura. Valori di dati da scrivere sono accoppiati dal wafer di dati 426 alla circuiteria 422 di scrittura selezionata dal circuito 424 di decodifica di colonna e scritti nelle celle di memoria a gate flottante selezionate della schiera 412 di memoria. Le celle scritte sono quindi risSelected dai circuiti 420, 424 di decodifica di riga e colonna ed amplificatori 422 di lettura in modo che questi possano leggere e verificare che i valori corretti sono stati programmati nelle celle di memoria selezionate.

Nella memoria 400 flash di figura 4, i registri 428 di protezione e i bit di blocco associati sono inclusi come parte della mappa di indirizzo della schiera di memoria flash 412 (il suo intervallo di celle di memoria indirizzabili), consentendo che i registri 128 di protezione e i bit di blocco possano essere sottoposti ad accesso per operazioni di lettura e scrittura utilizzando

indirizzi di colonna e di riga come si verificherebbe per i blocchi di cancellazione della schiera 412 di memoria flash. Ciascun registro 428 di protezione è mantenuto come area di memoria scrivibile/cancellabile della schiera 412 di memoria flash fin quando il bit di blocco associato con il singolo registro di protezione o sezione di registro di protezione viene scritto, il bloccaggio del registro 428 di protezione e il suo contenuto corrente di dati.

In aggiunta, la memoria flash 400 di figura 4 contiene un buffer 430 di ingresso ed un circuito 432 di cancellazione accoppiato in 434 ai bit di blocco dei registri 428 di protezione. La piazzola di collegamento del buffer 430 di ingresso non è collegata ad un piedino di connettore esterno quando il singolo chip 400 di wafer di memoria flash viene confezionato. Ciò consente che i registri 428 di protezione siano bloccati in modo permanente e non cancellati una volta che il chip del wafer sia stato confezionato e lascia il fabbricante di chip di memoria. Prima che il chip di wafer di memoria flash sia confezionato, tuttavia, la piazzola 430 di connessione ed il circuito 432 di cancellazione consente che i





registri 428 di protezione e i bit di blocco vengano cancellati con l'impiego di una scheda di sonda di prova di chip. Ciò consente al fabbricante di chip di recuperare da programmazione inavvertita o erronea aumentando la flessibilità di produzione. In aggiunta, ciò consente un collaudo di verifica accurato per i registri 428 di protezione e i bit di blocco associati da parte del fabbricante di chip di memoria.

La figura 5 mostra uno schema semplificato di una memoria flash o circuito 500 integrato confezionato secondo una forma di realizzazione della presente invenzione. La confezione 500 di memoria flash incorpora una confezione 514, un wafer 502 di chip di memoria flash, ed una serie di reofori 506 di confezione/frame. I reofori 506 della confezione sono accoppiati a piedini o connettori 504 esterni della memoria 500 flash confezionata. Durante il processo di confezionamento, il wafer a chip 502 della memoria flash è collocato nella confezione 514 e i reofori 506 della confezione sono accoppiati alle piazzole 510 di collegamento del wafer di chip di memoria flash 502 con fili sottili di "bonding" 508. Nelle forme di realizzazione di memoria flash della

presente invenzione una o più piazzole 512 di collegamento associate con il circuito di cancellazione di bit di blocco non sono collegate a o accoppiate a un piedino esterno 504 della confezione 514. Quindi la piazzola o piazzole 512 di collegamento di cancellazioni di bit di blocco e il circuito associato di cancellazione di bit di blocco di una memoria 500 flash confezionata della forma di realizzazione della presente invenzione non è in grado di essere attivato dall'utilizzatore finale dopo che il wafer 502 di chip di memoria flash è sigillato nella confezione 514.

Si deve notare che altre apparecchiature e/o metodi di registro di protezione e di cancellazione di bit di blocco con le forme di realizzazione di memoria flash della presente invenzione sono possibili e sarà chiaro a coloro che sono esperti nel ramo con l'aiuto della presente descrizione.

#### CONCLUSIONE


E' stato descritto in dettaglio un dispositivo di memoria flash perfezionato con un circuito di abilitazione di cancellazione di bit di blocco di un registro di protezione. Una piazzola di collegamento accoppiata al circuito di abilitazione di cancellazione di bit di blocco della memoria

flash perfezionata non è collegata quando il singolo wafer di chip di memoria flash viene confezionato. Ciò consente che il fabbricante di chip di memoria abbia accesso alla piazzola di collegamento e cancelli i bit di blocco mentre il chip è ancora nella forma di wafer attraverso una sonda a scheda di prova, ma rende i bit di blocco effettivamente non cancellabili quando i wafer di chip viene confezionato. Ciò abilita il fabbricante di chip di memoria ad aumentare la affidabilità e la tolleranza ai guasti del dispositivo di memoria flash mediante collaudo a fondo dei bit di blocco e della funzionalità del registro di protezione. In aggiunta, il circuito di abilitazione di cancellazione di bit di blocco aumenta la flessibilità di produzione consentendo al fabbricante di chip di memoria di riprogrammare il registro di protezione ed i bit di blocco nel caso di variazioni organizzative o programmazione inavvertita o erronea del registro di protezione.

Sebbene siano qui state illustrate e descritte specifiche forme di realizzazione,, verrà compreso da coloro che hanno ordinaria esperienza del ramo che qualsiasi disposizione, che è calcolata per giungere allo stesso scopo, può essere sostituita

alla specifica forma di realizzazione mostrata.  
Questa applicazione è intesa proteggere qualsiasi  
adattamento o variazione della presente invenzione.  
Conseguentemente, è manifestamente inteso che  
questa invenzione sia limitata soltanto dalle  
rivendicazioni e loro equivalenti.

Giulio Tassi  
(Racc. Albo n. 83 EM)



RIVENDICAZIONI

1 Dispositivo di memoria flash comprendente:

una schiera di memoria con una molteplicità di celle di memoria a gate flottante disposte in una molteplicità di blocchi di cancellazione;

un registro di protezione;

uno o più bit di blocco, in cui il contenuto di dati del registro di protezione sono resi non scrivibili dalla programmazione di uno o più bit di blocco; e

un circuito di cancellazione di bit di blocco, in cui il circuito di cancellazione di bit di blocco è accoppiato allo uno o più bit di blocco ed in cui il circuito di cancellazione di bit di blocco è operativo soltanto quando il dispositivo di memoria flash è sotto forma di wafer.

2. Dispositivo di memoria flash della rivendicazione 1, in cui il registro di protezione contiene una molteplicità di segmenti di registro di protezione, in cui ciascun segmento di registro di protezione è protetto da un bit di blocco associato dell'uno o più bit di blocco.

3. Dispositivo di memoria flash della rivendicazione 1, in cui il circuito di cancellazione di bit di blocco comprende:

un circuito di abilitazione di cancellazione di bit di blocco; e

un circuito di cancellazione a gate flottante accoppiato al circuito di abilitazione di cancellazione di bit di blocco e allo uno o più bit di blocco.

4. Dispositivo di memoria flash della rivendicazione 3, in cui il circuito di abilitazione di cancellazione di bit di blocco comprende:

una piazzola di collegamento;

un buffer di ingresso, in cui un ingresso del buffer di ingresso è accoppiato alla piazzola di collegamento;

un primo transistor di pull down, in cui il primo transistor di pull down è un transistor di pull down debole;

un secondo transistor di pull down, in cui il primo ed il secondo dei transistori di pull down sono ciascuno accoppiati all'ingresso del buffer di ingresso e massa;

un invertitore accoppiato ad una uscita del buffer di ingresso e al gate del primo transistor di pull down; e

una linea di segnale di ripristino, in cui la

linea di segnale di ripristino è accoppiata al gate del secondo transistor di pull down.

5. Dispositivo di memoria flash della rivendicazione 4, in cui la piazzola di collegamento non è accoppiata ad un connettore esterno quando il dispositivo di memoria flash è in forma confezionata.

6. Dispositivo di memoria flash della rivendicazione 1, in cui il circuito di cancellazione di bit di blocco contiene una piazzola di collegamento, in cui la piazzola di collegamento non è accoppiata ad un piedino esterno quando il dispositivo di memoria flash è in forma confezionata.

7. Dispositivo di memoria flash comprendente:

un registro di protezione avente uno o più segmenti di registro di protezione, ciascun segmento di registro di protezione avendo un bit di blocco associato, in cui il contenuto di dati del segmento di registro di protezione è non scrivibile dopo la programmazione del bit di blocco associato;

un circuito di abilitazione di bit di blocco, in cui il circuito di abilitazione di bit di blocco è accoppiato ad un circuito di cancellazione di bit di blocco che è a sua volta accoppiato a ciascun

bit di blocco associato dell'uno o più dei segmenti di registro di protezione; e

in cui il circuito di cancellazione di bit di blocco non è accoppiato ad un connettore di confezione esterno della confezione di dispositivo di memoria flash.

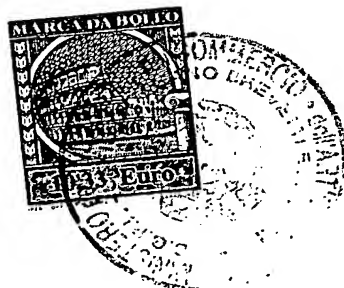
8. Dispositivo di memoria flash della rivendicazione 7, in cui il circuito di cancellazione di bit di blocco comprende:

un circuito di abilitazione di cancellazione di bit di blocco; e

un circuito di cancellazione a gate flottante accoppiato al circuito di abilitazione di cancellazione di bit di blocco e allo uno o più bit di blocco.

9. Dispositivo di memoria flash della rivendicazione 7, in cui il circuito di cancellazione di bit di blocco contiene una piazzola di collegamento, in cui la piazzola di collegamento non è accoppiata ad un piedino esterno quando il dispositivo di memoria flash è nella forma confezionata.

10. Dispositivo di memoria flash della rivendicazione 7, in cui il circuito di cancellazione di bit di blocco è adattato per





consentire la cancellazione dell'uno o più bit di blocco associati dell'uno o più segmenti di registro di protezione.

11. Circuito di cancellazione di bit di blocco comprendente:

una piazzola di collegamento; un buffer di ingresso, in cui un ingresso del buffer di ingresso è accoppiato alla piazzola di collegamento;

un primo transistore di pull down, in cui il primo transistore di pull down è un transistore di pull down debole ed è accoppiato all'ingresso del buffer di ingresso e a massa;

un invertitore accoppiato ad una uscita del buffer di ingresso e al gate del primo transistore di pull down;

un circuito di cancellazione a gate flottante, in cui il circuito di cancellazione a gate flottante è accoppiato all'uscita del buffer di ingresso e ad uno o più bit di blocco di una molteplicità di celle di memoria non volatile; e

in cui la piazzola di collegamento non corrisponde ad un I/O di chip esterno standard (ingresso/uscita) di un chip di circuito integrato che incorpora il circuito di cancellazione di bit di blocco.

12. Circuito di cancellazione di bit di blocco della rivendicazione 11, in cui il circuito di cancellazione di bit di blocco ulteriormente comprende:

un secondo transistor di pull down, in cui secondo transistor di pull down è accoppiato all'ingresso del buffer di ingresso e a massa; e

una linea di segnale di ripristino in cui la linea di segnale di ripristino è accoppiata al gate del secondo transistor di pull down.

13. Circuito di cancellazione di bit di blocco dalla rivendicazione 12, in cui il circuito di cancellazione di bit di blocco è collocato in uno stato inattivo da un segnale transitorio attivo nella linea di segnale di ripristino, in modo che lo stato inattivo sia mantenuto dal primo transistor di pull down debole.

14. Circuito di abilitazione di cancellazione di bit di blocco comprendente:

una piazzola di collegamento;

un buffer di ingresso, in cui un ingresso del buffer di ingresso è accoppiato alla piazzola di collegamento ed in cui una uscita del buffer di ingresso è accoppiata ad un circuito di cancellazione a gate flottante; e

in cui la piazzola di collegamento non corrisponde ad un I/O di chip esterno standard (ingresso/uscita) di un chip di circuito integrato confezionato che incorpora il circuito di abilitazione di cancellazione di bit di blocco.

15. Circuito di abilitazione di cancellazione di bit di blocco della rivendicazione 14, in cui il circuito di abilitazione di cancellazione di bit di blocco comprende ulteriormente.

Un primo transistorore di pull down, in cui il primo transistorore di pull down è un transistor di pull down debole;

un secondo transistorore di pull down, in cui il primo ed il secondo dei transistori di pull down sono ciascuno accoppiati all'ingresso del buffer di ingresso e a massa;

un invertitore accoppiato ad una uscita del buffer di ingresso e ad un gate del primo transistorore di pull down: e

una linea di segnale di ripristino, in cui la linea di segnale di ripristino è accoppiata al gate del secondo transistorore di pull down.

16. Circuito di abilitazione di cancellazione di bit di blocco della rivendicazione 14, in cui l'uscita del buffer di ingresso è invertente.

17. Circuito di abilitazione di cancellazione di bit di blocco della rivendicazione 16, in cui il circuito di abilitazione di cancellazione di bit di blocco comprende ulteriormente:

Un primo transistore di pull down, in cui il gate del primo transistore di pull down è accoppiato all'uscita invertente del buffer di ingresso;

un secondo transistore di pull down, in cui il primo ed il secondo dei transistori di pull down sono ciascuno accoppiati ad in un ingresso di gate del buffer di ingresso e massa;

una linea di segnale di ripristino, in cui la linea di segnale di ripristino è accoppiata al gate del secondo transistore di pull down; e

una porta NOR accoppiata all'uscita invertente del buffer di ingresso e alla linea di segnale di ripristino.

18. Registro di protezione comprendente:

uno o più segmenti di registro di protezione, ciascun segmento di registro di protezione avendo un bit di blocco associato; e

un circuito di cancellazione di bit di blocco accoppiato a ciascun bit di blocco.

19. Registro di protezione della rivendicazione



18, in cui il circuito di cancellazione di bit di blocco ulteriormente comprende:

un circuito di abilitazione di cancellazione di bit di blocco; e

un circuito di cancellazione a gate flottante accoppiato al circuito di abilitazione di cancellazione di bit di blocco e a ciascun bit di blocco;

20. Registro di protezione della rivendicazione 18, in cui il circuito di cancellazione di bit di blocco non è operativo quando un circuito integrato avente il registro di protezione è in forma confezionata.

21. Registro di protezione della rivendicazione 18, in cui il registro di protezione è incorporato in un dispositivo di memoria flash.

22. Sistema comprendente:

un ospite accoppiato al dispositivo di memoria flash, in cui il dispositivo di memoria flash comprende,

una schiera di memoria con una molteplicità di celle di memoria a gate flottante disposte in una molteplicità di blocchi di cancellazione;

un registro di protezione;

uno o più bit di blocco, in cui il contenuto

di dati del registro di protezione viene reso non scrivibile dalla programmazione dell'uno o più bit di blocco; e

un circuito di cancellazione di bit di blocco, in cui il circuito di cancellazione di bit di blocco è accoppiato all'uno o più bit di blocco ed in cui il circuito di cancellazione di bit di blocco è inaccessibile all'ospite.

23. Sistema della rivendicazione 22, in cui il dispositivo di memoria flash appare all'ospite come un dispositivo di immagazzinamento riscrivibile.

24. Sistema della rivendicazione 22, in cui l'ospite è un elaboratore.

25. Sistema della rivendicazione 22, in cui l'ospite è un sistema a calcolatore.

26. Sistema della rivendicazione 2, in cui il circuito di cancellazione di bit di blocco ulteriormente comprende:

un circuito di abilitazione di cancellazione di bit di blocco; e

un circuito di cancellazione a gate flottante, in cui il circuito di cancellazione a gate flottante è accoppiato al circuito di abilitazione di cancellazione di bit di blocco e all'uno o più bit di blocco.

27. Dispositivo di memoria flash comprendente: una schiera di memoria con una molteplicità di celle di memoria a gate flottante disposte in una molteplicità di blocchi di cancellazione;

un registro di protezione;

uno o più bit di blocco, in cui il contenuto di dati del registro di protezione è reso non scrivibile con la programmazione dell'uno o più bit di blocco;

una piazzola di collegamento;

un buffer di ingresso, in cui un ingresso del buffer di ingresso è accoppiato alla piazzola di collegamento;

un primo transistor di pull down, in cui il primo transistor di pull down è un transistor di pull down debole;

un secondo transistor di pull down, in cui il primo ed il secondo dei transistori di pull down sono ciascuno accoppiati all'ingresso del buffer di ingresso e massa;

un invertitore accoppiato all'uscita del buffer di ingresso e al gate del primo transistor di pull down;

una linea di segnale di ripristino, in cui la linea di segnale di ripristino è accoppiata al gate

del secondo transistor di pull down;

un circuito di cancellazione di bit di blocco, in cui il circuito di cancellazione di bit di blocco è accoppiato all'uscita del buffer di ingresso e allo uno o più bit di blocco; e

una confezione contenente il dispositivo di memoria flash, in cui la piazzola di collegamento non è accoppiata ad un connettore esterno della confezione.

28. Dispositivo di memoria flash della rivendicazione 27, in cui il registro di protezione ha una molteplicità di segmenti di registro di protezione, in modo tale che ciascun segmento di registro di protezione sia associato con un bit di blocco.

29. Dispositivo di memoria flash della rivendicazione 28, in cui ciascun segmento di registro di protezione contiene 64 bit di dati.

30. Dispositivo di memoria flash della rivendicazione 27, in cui il registro di protezione ha 128 bit di dati.

31. Dispositivo di memoria flash della rivendicazione 27, in cui il registro di protezione è mappato in un intervallo di indirizzo della schiera di memoria.





32. Metodo per il funzionamento di un dispositivo di memoria flash comprende:

abilitare la cancellazione di uno o più bit di blocco associati con un registro di protezione quando il dispositivo di memoria flash è sotto forma di wafer; e

disabilitare la cancellazione dell'uno o più bit di blocco quando il dispositivo di memoria flash è nella forma confezionata.

33. Metodo della rivendicazione 32, in cui la abilitazione alla cancellazione inoltre comprende la abilitazione di cancellazione formando un circuito di cancellazione di bit di blocco sul dispositivo di memoria flash.

34. Metodo della rivendicazione 32, in cui la abilitazione alla cancellazione inoltre comprende la abilitazione alla cancellazione accoppiando una sonda di collaudo di chip ad una piazzola di collegamento di un circuito di cancellazione di bit di blocco quando la memoria flash è sotto forma di wafer.

35. Metodo della rivendicazione 32, in cui la disabilitazione della cancellazione comprende inoltre la disabilitazione della cancellazione mediante il non accoppiamento di una piazzola di

collegamento in un circuito di cancellazione di bit di blocco ad un connettore esterno del dispositivo di memoria flash in forma confezionata.

36. Metodo per la abilitazione alla cancellazione di bit di blocco di un registro di protezione comprendente:

formare un circuito di cancellazione di gate flottante accoppiato ad uno o più bit di blocco di un registro di protezione; e

formare un circuito di abilitazione di cancellazione di bit di blocco accoppiato al circuito di cancellazione a gate flottante, in cui il circuito di abilitazione di blocco di cancellazione è operativo soltanto quando un circuito integrato contenente il registro di protezione è sotto forma di wafer.

37, Metodo della rivendicazione 36, un cui la formazione del circuito di abilitazione di blocco di cancellazione comprende inoltre:

formare una piazzola di collegamento;

formare un buffer di ingresso, in cui un ingresso del buffer di ingresso è accoppiato alla piazzola di collegamento ed in cui una uscita del buffer di ingresso è accoppiata ad un circuito di cancellazione a gate flottante.

38. Metodo della rivendicazione 37, in cui la formazione del circuito di abilitazione di cancellazione di bit di blocco ulteriormente comprende:

formare un primo transistorore di pull down, in cui il primo transistorore di pull down è un transistorore di pull down debole;

formare un secondo transistorore di pull down, in cui il primo ed il secondo dei transistorori di pull down sono ciascuno accoppiati all'ingresso del buffer di ingresso e a massa;

formare un invertitore accoppiato all'uscita del buffer di ingresso e al gate del primo transistorore di pull down; e

formare una linea di segnale di ripristino in cui la linea di segnale di ripristino è accoppiata al gate del secondo transistorore di pull down.

39. Metodo della rivendicazione 27 in cui l'uscita del buffer di ingresso è invertente.

40. Metodo della rivendicazione 39, in cui la formazione del circuito di abilitazione di cancellazione di bit di blocco ulteriormente comprende:

formare un primo transistorore di pull down, in cui il gate del primo transistorore di pull down è

accoppiato alla uscita invertente del buffer di ingresso;

formare un secondo transistor di pull down, in cui primo ed il secondo dei transistori di pull down sono ciascuno accoppiato ad un ingresso di gate del buffer di ingresso e massa;

formare una linea di segnale di ripristino, in cui la linea di segnale di ripristino è accoppiata al gate del secondo transistor di pull down; e

formare una porta NOR accoppiata all'uscita invertente del buffer di ingresso e alla linea di segnale di ripristino.

41. Metodo per disabilita alla cancellazione di bit di blocco di un registro a gate flottante comprendente:

abilitare la cancellazione di bit di blocco accoppiando un circuito di cancellazione di bit di blocco con una sonda a scheda di prova quando un circuito integrato contenente il registro a gate flottante è in forma di wafer;

disabilitare il circuito di cancellazione di bit di blocco quando il circuito integrato contenente il registro a gate flottante è in forma confezionata.

42. Metodo della rivendicazione 41, in cui la



S.I.B.  
ROMA

disabilitazione del circuito di cancellazione di bit di blocco quando il circuito integrato contenente il registro a gate flottante è in forma confezionata comprende ulteriormente la disabilitazione del circuito di cancellazione di bit di blocco quando il circuito integrato contenente il registro a gate flottante è in forma confezionata mediante il non accoppiamento di un connettore esterno ad una piazzola di collegamento del circuito di cancellazione di bit di blocco.

43. Metodo della rivendicazione 41, in cui l'accoppiamento verso un circuito di cancellazione di bit di blocco quando un circuito integrato contenente il registro a gate flottante è in forma di wafer ulteriormente comprende l'accoppiamento ad un circuito di cancellazione di bit di blocco con una sonda a scheda di prova quando il circuito integrato contenente il registro a gate flottante è sotto forma di wafer.

44. Metodo per realizzare un dispositivo di memoria flash comprendente:

formare una schiera di memoria contenente una molteplicità di celle di memoria a gate flottante disposta in una molteplicità di blocchi di cancellazione;

formare un registro di protezione ed uno o più bit di blocco associati;

formare un circuito di cancellazione a gate flottante accoppiato all'uno o più dei bit di blocco del registro di protezione; e

formare un circuito di abilitazione di cancellazione di bit di blocco accoppiato al circuito di cancellazione a gate flottante,

in cui il circuito di abilitazione di blocco di cancellazione è operativo soltanto quando il dispositivo di memoria flash è sotto forma di wafer.

45. Metodo per la fabbricazione di un dispositivo di memoria flash comprendente:

programmare un bit di blocco applicando un segnale di controllo ad un ingresso; e

confezionare il dispositivo di memoria flash in modo tale che l'ingresso è inaccessibile.

46. Metodo della rivendicazione 45, ulteriormente comprendente:

riprogrammare il bit di blocco prima della confezione.

47. Metodo della rivendicazione 46, in cui la riprogrammazione dei bit di blocco prima del confezionamento comprende inoltre la cancellazione

dei bit di blocco prima del confezionamento.

p.p. Micron Technology, Inc.

Chiusura  
della Albo n. 23 del

*[Handwritten signature]*



RM 2003 A 000039

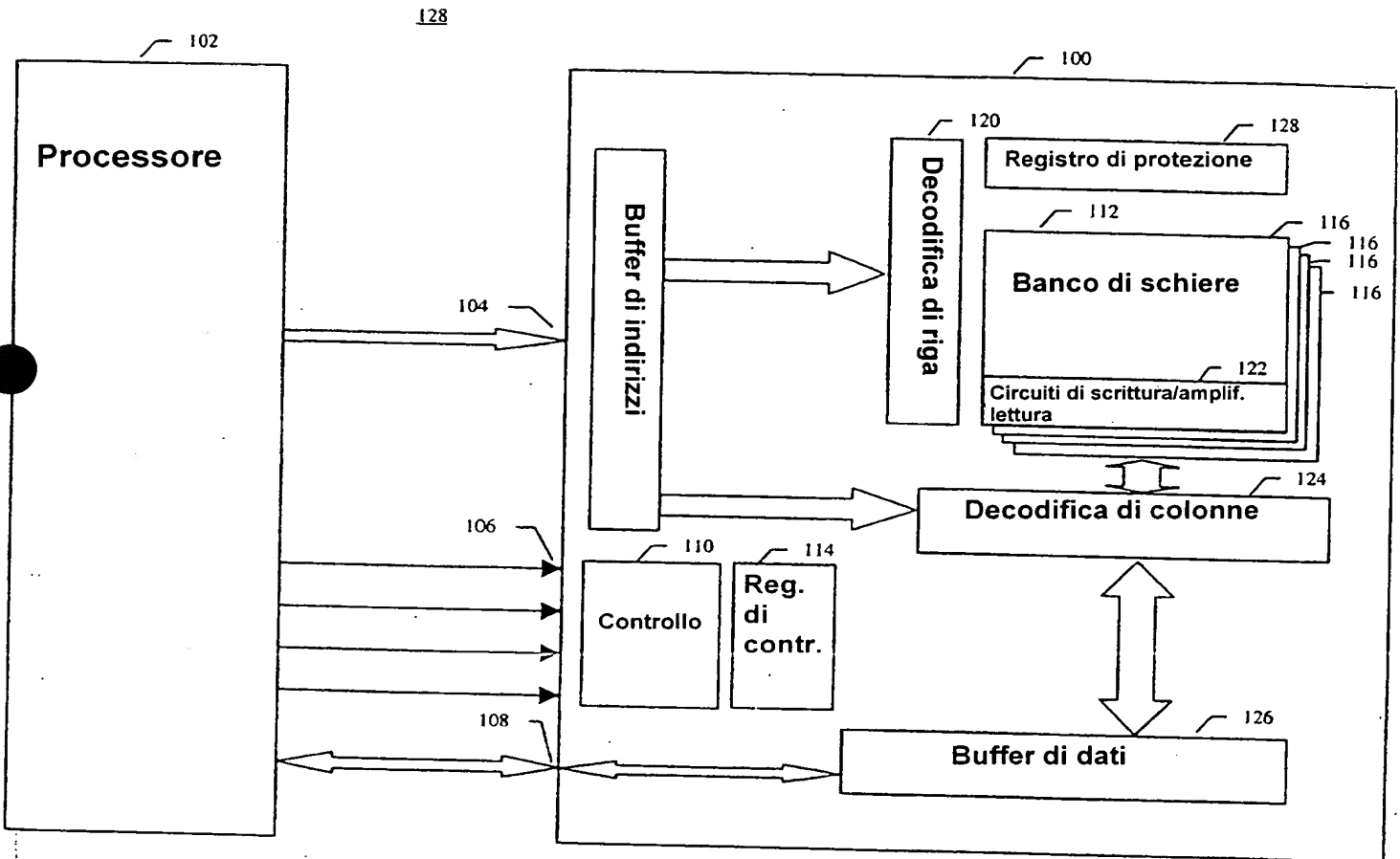
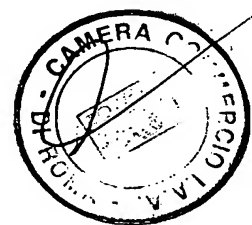
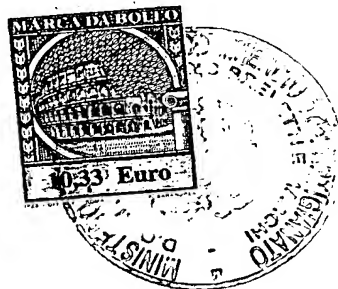


FIG. 1

Tecnica antecedente



Gilberto Tonon  
(per. Albo n. 63 BM)

p.p. Micron Technology, Inc.



RM 2003 A 000039

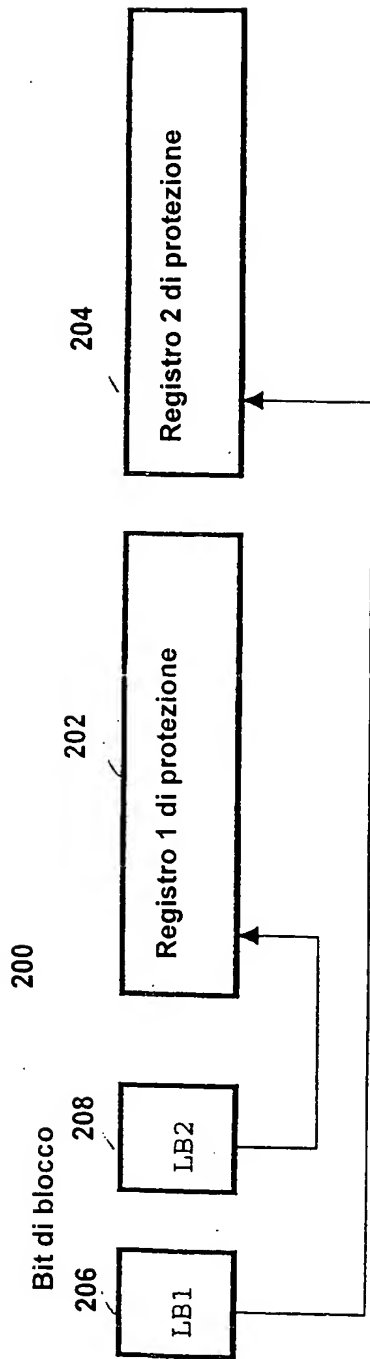


Fig. 2A

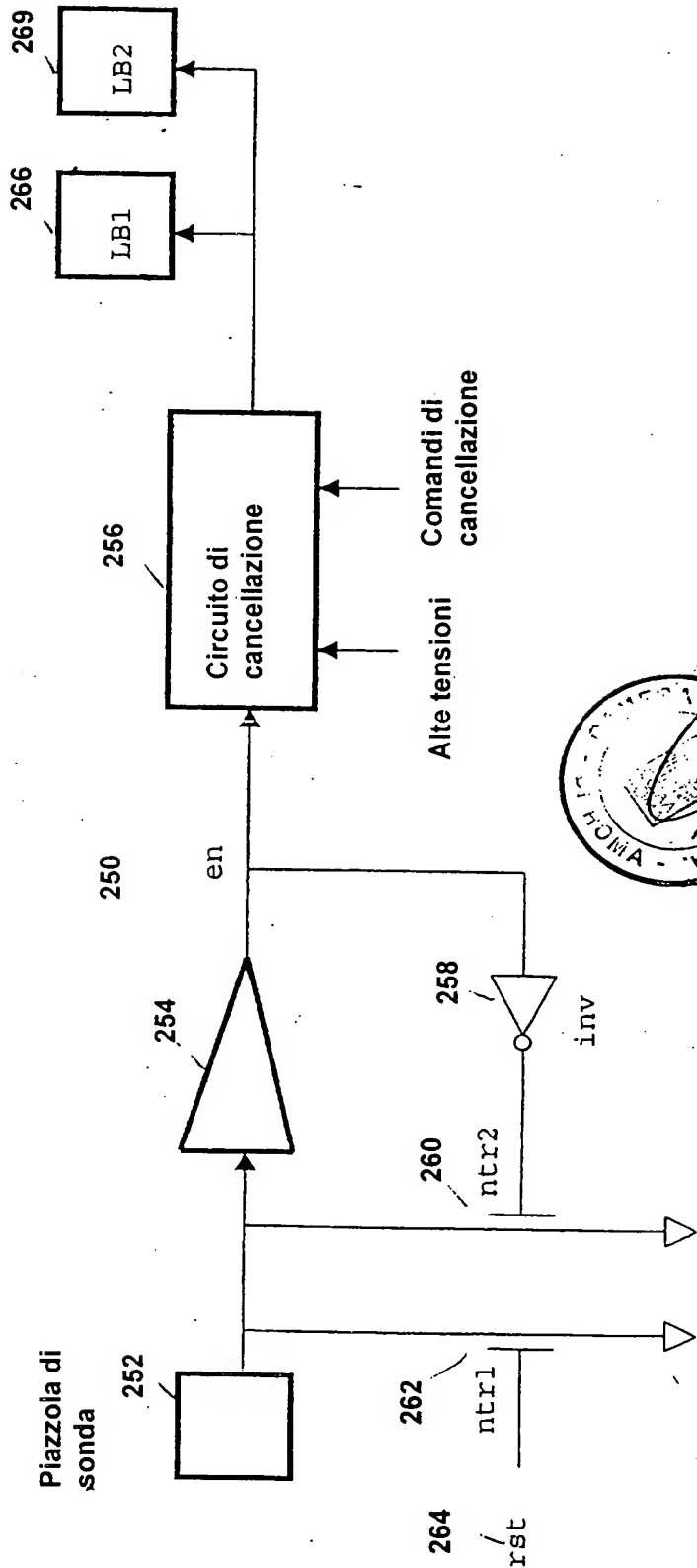
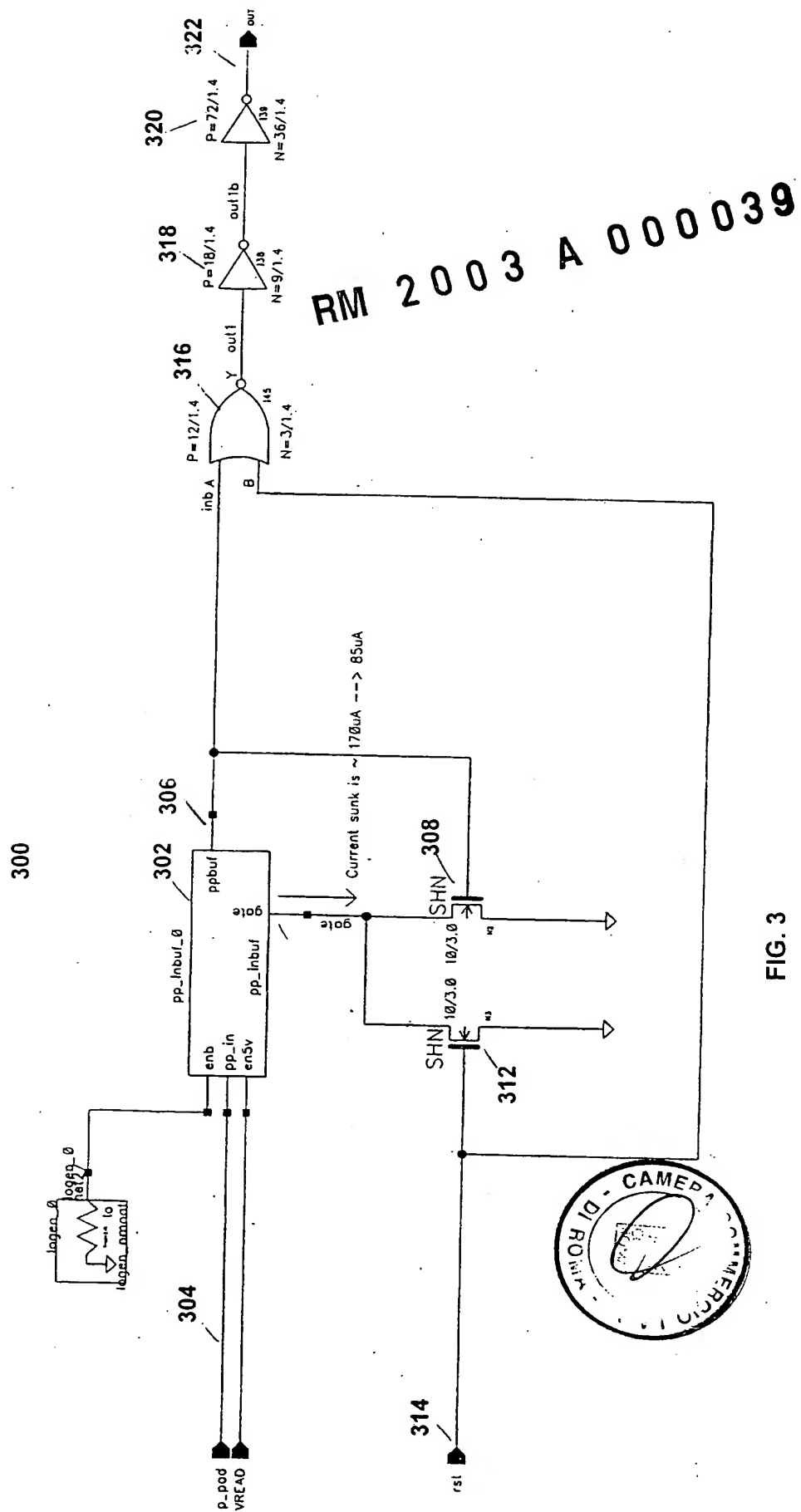


Fig. 2B

*[Handwritten signature]*





PM 2003 A 000039

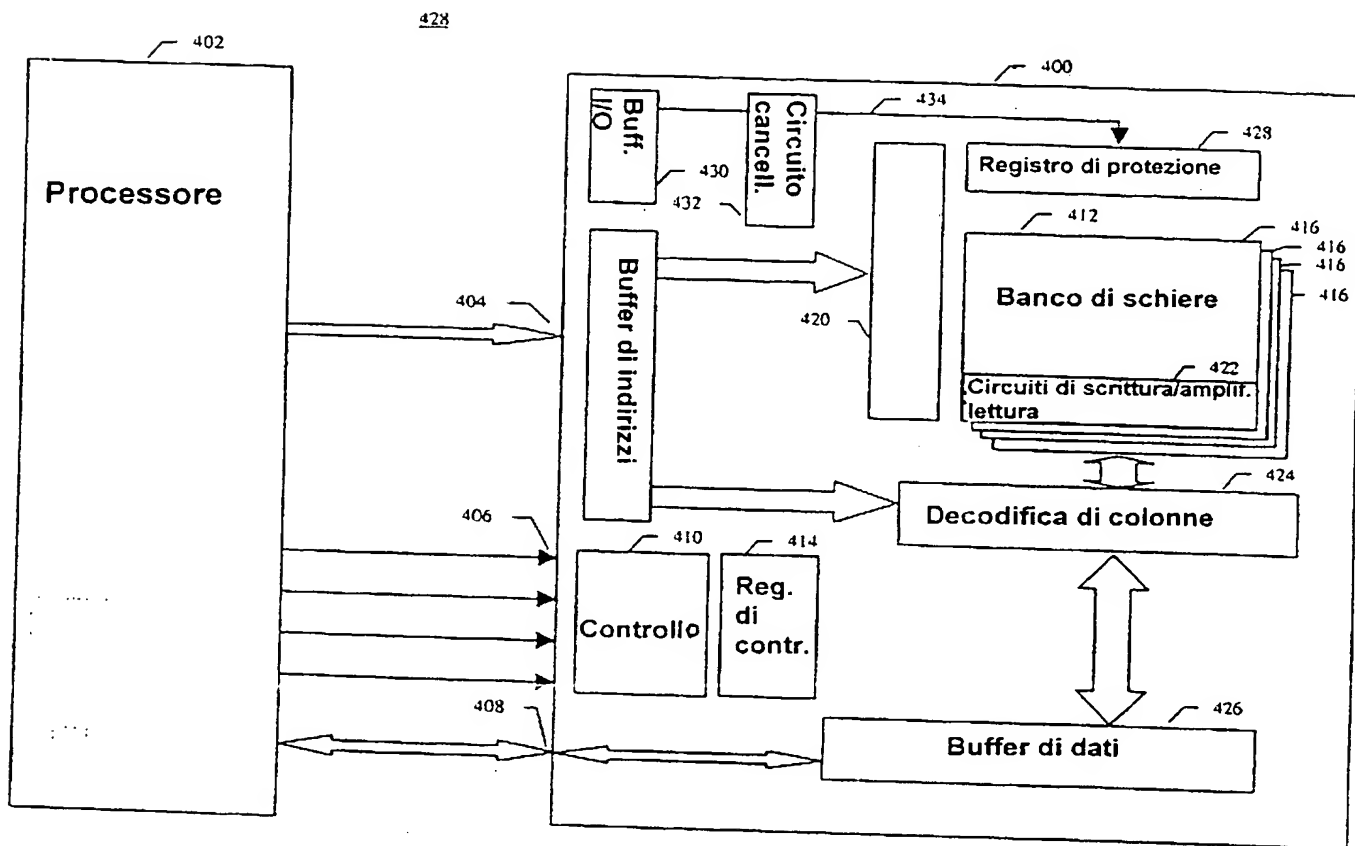
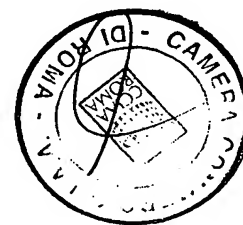


FIG. 4

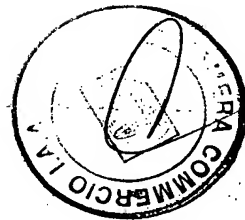
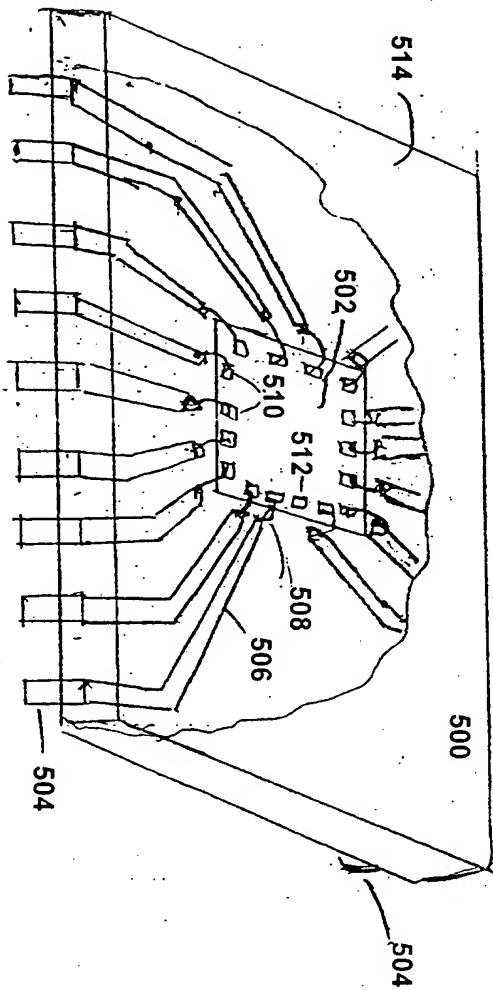


Usc. 10.10.2004  
Usc. 10.10.2004  
Usc. 10.10.2004

*[Handwritten signature]*

RM 2003 A 000039

Fig. 5



(Rev. 11/00 n. 03 BMA)

*[Handwritten signature]*